



INNOWACYJNA GOSPODARKA
NARODOWA STRATEGIA SPÓJNOŚCI

UNIA EUROPEJSKA
EUROPEJSKI FUNDUSZ
ROZWOJU REGIONALNEGO



*Projekt współfinansowany ze środków Unii Europejskiej w ramach Europejskiego Funduszu Rozwoju Regionalnego
Inżynieria Internetu Przyszłości nr POIG 01.01.02-00-045/09-00*

Załącznik X do siwz

CZĘŚĆ X ZAMÓWIENIA

Dostawa routera; specjalizowanego przełącznika sieciowego – **SZTUK 1 (jeden)**
- CPV 32413100-2 (rutery sieciowe) o zgodności z urządzeniem NP-3 EZappliance firmy EZChip lub równoważny

1. Wymagania ogólne:

- Specjalizowany przełącznik sieciowy /router z pełnym dostępem do oprogramowania w warstwie sterowania i warstwie komutacji
- Procesor warstwy komutacji klasy NP-3 lub równoważny
- Wydajność przetwarzania pakietów 64 bajtowych 24 Gbit/s
- 24 interfejsy SFP (1 Gigabit),
 - 12 obsadzonych interfejsami miedzianymi typu RJ-45,
 - 12 obsadzonych interfejsami światłowodowymi typu SPX Short-Range Multi-mode
- 2 złącza interfejsów typu XFP (10 Gigabit) - nieobsadzone
- 1 interfejs Ethernet elektryczny (ze złączem RJ-45) dla zarządzania
- 1 interfejs serial dla celów zarządzania
- Obudowa do szafy rack 19 cali
- Środowisko programistyczne dla tworzenia oprogramowania warstwy komutacji
- Środowisko programistyczne dla tworzenia oprogramowania warstwy sterowania
- Pełny pakiet SDK (Software Development Kit)

Uwaga dla wykonawcy

Urządzenie przeznaczone jest dla celów badawczych dla placówki naukowo badawczej w pracach badawczych nad mechanizmami komutacji pakietów, routingu danych i innych zaawansowanych funkcjach sieciowych

Placówka badawcza wyraża zgodę na podpisanie dwustronnej umowy o zachowaniu poufności – MUTUAL NONDISCLOSURE AGREEMENT

Element	Ilość sztuk
Specjalizowany przełącznik sieciowy	1



Politechnika Gdańska
Wydział Elektroniki,
Telekomunikacji i Informatyki
ul. G. Narutowicza 11/12
80-233 GDAŃSK

Koordynator projektu:
+48 58 22 23,
Faks: +48 58 347 19 65
www.iip.net.pl, e-mail:
jowoz@eti.pg.gda.pl



inżynieria internetu przyszłości



INNOWACYJNA GOSPODARKA
NARODOWA STRATEGIA SPÓJNOŚCI

UNIA EUROPEJSKA
EUROPEJSKI FUNDUSZ
ROZWOJU REGIONALNEGO



**Projekt współfinansowany ze środków Unii Europejskiej w ramach Europejskiego Funduszu Rozwoju Regionalnego
Inżynieria Internetu Przyszłości nr POIG 01.01.02-00-045/09-00**

Przez równoważność urządzenia wraz z procesorem warstwy komutacji typu NP-3 rozumiemy:

- Obsługę przez pojedynczy chipset:
 - Dwóch interfejsów typu SPI 4.2
 - Dziesięciu interfejsów Ethernet 1 Gbit/s
 - Jednego interfejsu Ethernet 10 Gbit/s ze zintegrowaną warstwą MAC
 - Obsługę za pomocą zewnętrznego agregatora Ethernet do 32 portów Ethernet o przepływności 1 Gbit/s każdy
 - Obsługę za pomocą zewnętrznego framer'a do 32 portów typu SONET/SDH
 - Obsługę za pomocą portu SPI 4.2 do 64 kanałów OC-3 lub 192 kanałów typu STS-1
- Chipset musi zapewnić szynę komunikacyjną z zewnętrznymi układami w postaci magistrali typu PCI 32-bit/66 MHz
- Chipset musi zapewnić komunikację z pamięcią DDR2 lub RDRAM-II w postaci interfejsów typu: external frame memory, lookup table memory oraz control memory
- Chipset musi zapewniać kontrolę ruchu sieciowego w postaci, co najmniej dwóch 10-Gbitowych (trafic managerów) [kontrolerów ruchu] – niezależnie dla ruchu wchodzącego [ingress] jak i wychodzącego [egress]. Musi wspierać grupowanie ramek typu unicast, multicast dla kontroli ruchu w postaci tzw. przepływów [flows]. Musi zapewnić ograniczanie ruchu, tzw. shaping (za pomocą mechanizmów typu CIR/CIB/PIR/PIB). Musi wspierać kolejowanie ramek/pakietów wg trybu WFQ
- Dla mechanizmu zarządzania w trybie offload musi zapewniać obsługę w trybie Keep Alive
- Dla celów zbierania i gromadzenia danych statystycznych musi posiadać obsługę 36-bitowych liczników oraz pamięć o wielkości do 16 MB

W ramach oprogramowania oczekujemy:

- Środowiska programistyczno uruchomieniowego – Microcode Development Environment
- Symulatora
- Assemblera wraz z preprocesorem
- Bibliotek aplikacyjnych dla obsługi przełączania na warstwie L2, przełączania typu Metro Ethernet, MPLS LER oraz MPLS SER, VPLS, obsługi protokołu IPv4/IPv6, obsługi NAT, obsługi firewall oraz list kontroli dostępu ACL
- Generatorsy ramek
- Narzędzia do graficznej konfiguracji w trybie graficznym
- Konfiguratora zarządcy ruchu sieciowego



Politechnika Gdańska
Wydział Elektroniki,
Telekomunikacji i Informatyki
ul. G. Narutowicza 11/12
80-233 GDAŃSK

Koordynator projektu:
+48 58 22 23,
Faks: +48 58 347 19 65
www.iip.net.pl, e-mail:
jowoz@eti.pg.gda.pl

